

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-020964

(43)Date of publication of application : 24.01.1995

(51)Int.CI.

G06F 1/04

H04B 1/04

H04B 1/16

H04B 1/40

(21)Application number : 05-183547

(71)Applicant : KOKUSAI ELECTRIC CO LTD

(22)Date of filing : 30.06.1993

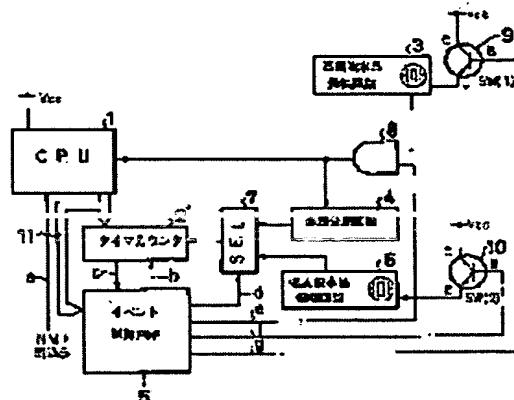
(72)Inventor : HASHIZUME SOJI  
KAKEHI MASAMITSU

## (54) ELECTRIC POWER SAVING CIRCUIT AND ITS CONTROL METHOD

## (57)Abstract:

PURPOSE: To provide an electric power saving circuit and its control method which are improved in the saving efficiency of electric power.

CONSTITUTION: In the electric power saving circuit and its control method, when an event control circuit 5 which receives a power saving mode start instruction from a CPU 1 controls the entirety to enter power saving mode, only a timer counter 2' and a low-frequency crystal oscillation circuit 6 which supplies a clock are made to operate and a high-frequency crystal oscillation circuit 3 which supplies a high frequency clock to the CPU 1 in normal mode and a multi-stage frequency dividing circuit 4 which supplies a low-frequency clock to the timer counter 2' by sequential frequency division are stopped.



## LEGAL STATUS

[Date of request for examination] 02.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3461535

[Date of registration] 15.08.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-20964

(43)公開日 平成7年(1995)1月24日

(51)IntCl.<sup>6</sup> 識別記号 場内整理番号  
 G 06 F 1/04 301 C 7165-5B  
 H 04 B 1/04 P 7739-5K  
 1/16 U 7739-5K  
 1/40

F I

技術表示箇所

審査請求 未請求 請求項の数3 FD (全10頁)

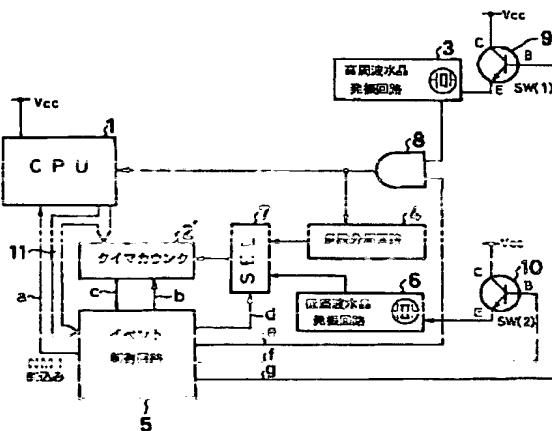
(21)出願番号	特願平5-183547	(71)出願人	000001122 国際電気株式会社 東京都中野区東中野三丁目14番20号
(22)出願日	平成5年(1993)6月30日	(72)発明者	橋爪 聰司 東京都港区虎ノ門二丁目3番13号 国際電気株式会社内
		(72)発明者	筧 雅光 東京都港区虎ノ門二丁目3番13号 国際電気株式会社内
		(74)代理人	弁理士 阪本 清孝 (外1名)

(54)【発明の名称】 消費電力セーピング回路及びその制御方法

## (57)【要約】

【目的】 消費電力のセーブ効率を良くした消費電力セーピング回路及びその制御方法を提供する。

【構成】 CPU 1 からパワーセーブモード開始命令を受け取ったイベント制御回路 5 が全体を制御して、パワーセーブモード移行した時は、タイマカウンタ 2' とクロックを供給する低周波水晶発振回路 6 だけを動作させ、通常モード時にCPU 1 に高周波クロックを供給していた高周波水晶発振回路 3 と、順次分周して低周波クロックをタイマカウンタ 2' に供給していた多段分周回路 4 とを停止する消費電力セーピング回路及びその制御方法である。



(2)

特開平7-20964

1

2

## 【特許請求の範囲】

【請求項1】 パワーセーブモードを有するCPUと、パワーセーブモード時間のカウントを行うタイマカウンタと、前記CPUに高周波クロックを供給する高周波発振回路と、前記高周波発振回路から発生する高周波クロックを順次分周して低周波クロックを発生させる多段分周回路とを有する消費電力セーピング回路において、パワーセーブモードに移行した時に前記タイマカウンタに低周波クロックを供給する低周波発振回路と、前記タイマカウンタへ入力されるクロックを選択するクロック選択スイッチと、前記高周波発振回路の出力を制御する出力制御回路と、前記高周波発振回路と前記低周波発振回路の起動・停止指示を行い、前記クロック選択スイッチの切り換え指示を行い、前記出力制御回路の制御指示を行い、パワーセーブモード移行時に前記CPUからパワーセーブモード開始命令を受け取り、前記タイマカウンタの起動指示を行い、パワーセーブモード解除時に前記タイマカウンタからタイマカウント完了信号を受け取り、前記CPUにパワーセーブモード解除用の割込みを行なうイベント制御回路とを設けたことを特徴とする消費電力セーピング回路。

【請求項2】 パワーセーブモードに移行する時は、前記CPUからパワーセーブモード開始命令を受け取った前記イベント制御回路が、前記低周波発振回路を起動し、前記クロック選択スイッチを切り換えて前記低周波発振回路からのクロックを前記タイマカウンタに出力し、前記タイマカウンタを起動し、前記出力制御回路を制御して前記CPU及び前記多段分周回路へのクロックを停止し、前記高周波発振回路を停止することを特徴とする請求項1記載の消費電力セーピング回路の制御方法。

【請求項3】 パワーセーブモードを解除する時は、前記タイマカウンタからタイマカウント完了信号を受け取った前記イベント制御回路が、前記高周波発振回路を起動し、発振安定待ち時間経過後に前記出力制御回路を制御して前記高周波発振回路からのクロックを前記CPU及び前記多段分周回路に割り当てる、前記クロック選択スイッチを切り換えて前記多段分周回路からのクロックを前記タイマカウンタに出力し、前記CPUに対してパワーセーブモード解除用の割込みを行なって前記CPUのパワーセーブモードを解除させ、前記低周波発振回路を停止させることを特徴とする請求項1記載の消費電力セーピング回路の制御方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、無線端末装置に用いられる消費電力セーピング回路に係り、特に消費電力を大幅に低減することができる消費電力セーピング回路及びその制御方法に関する。

## 【0002】

【従来の技術】 まず、従来の消費電力セーピング回路について図5を使って説明する。図5は、従来の消費電力セーピング回路の構成ブロック図である。従来の消費電力セーピング回路（パワーセーピング回路）は、図5に示すように、パワーセーブモードを有するCPU1と、パワーセーブモード時間のカウント及びCPU1にパワーセーブモード解除の割込みを行うタイマカウンタ2と、CPU1に供給する高周波のクロック（CPU用クロック）を発生する高周波水晶発振回路3と、高周波水晶発振回路3から発生する高周波クロックを順次分周して低周波クロックに落とし、タイマカウンタ2に供給する多段分周回路4とから構成されている。

【0003】 次に、各構成部分について具体的に説明する。CPU1は、高周波（例えばMHzオーダー）のクロックで動作し、パワーセーブモード（低電力消費状態）を有するCPUであり、パワーセーブモードに移行した時にはクロックを供給する必要はなくなり、またタイマカウンタ2からの割込みでパワーセーブモードを解除し、高周波水晶発振回路3からCPU用クロックが与えられて通常モードに復帰するようになっている。

【0004】 タイマカウンタ2は、多段分周回路4から供給される低周波（例えばkHzオーダー）のクロックで動作し、パワーセーブモードに入ると予めCPU1から設定された解除までの時間をカウントし、CPU1にパワーセーブモード解除の割込みを行うものである。

【0005】 高周波水晶発振回路3は、CPU1に供給する高周波（例えばMHzオーダー）のクロック（CPU用クロック）を発生する発振回路である。

【0006】 多段分周回路4は、高周波水晶発振回路3が発振する高周波クロック（MHzオーダー）を順次分周して低周波クロック（kHzオーダー）を作成し、タイマカウンタ2に供給するものである。

【0007】 ここで、多段分周回路4について、図6の例で詳しく説明する。図6は、多段分周回路の概略説明図である。多段分周回路4は、複数の分周回路を直列に接続し、高い周波数から低い周波数を作成するもので、例えば、1/9、2MHzから200Hzのシーケンスを作る場合、図6に示すように、1/2分周回路や1/3分周回路や1/5分周回路を複数組み合わせて、全体で1/96000になるよう分周回路を直列に接続して構成されている。

【0008】 ここで、多段分周回路4は、多くのフリップフロップ（カウンタ）で構成されており、また、扱う周波数がMHzオーダーのように高周波であると、多段分周回路の初段付近ではフリップフロップを高速動作させる必要があり、消費電力も大きなものとなっている。

【0009】 次に、従来のパワーセーピング回路の制御方法について説明する。従来のパワーセーピング回路の制御方法は、図5に示すように、CPU1がパワーセーブモードに移行すると、タイマカウンタ2で予め設定さ

(3)

特開平7-20964

3

れたパワーセーブモードの時間が終了するまでカウントを行い、設定時間に到達したならタイマカウンタ2からCPU1にパワーセーブモード解除の割込みを行い、CPU1は通常モードに戻るようになっている。

【0010】そのため、パワーセーブモード中では高周波水晶発振回路3からCPU1に供給されていたCPU用クロックは不要であって、高周波水晶発振回路3を停止可能となるが、タイマカウンタ2を常時動作させておくためには、高周波水晶発振回路3と、高周波水晶発振回路3から発生する高周波クロックをタイマカウンタ2用の低周波クロックに分周して供給する多段分周回路4とを常時動作させていなければならず、高周波水晶発振回路3と多段分周回路4への電源電圧Vccは、常に供給されている必要がある。

【0011】

【発明が解決しようとする課題】従って、上記従来のパワーセービング回路及びその制御方法では、パワーセーブモード中に、高周波のCPU用クロックは停止可能であるにも拘らず、低周波のクロックで十分なタイマクロックを動作させるために、高周波水晶発振回路3及び多段分周回路4を動作させなければならず、パワーセーブの効率が悪いという問題点があった。

【0012】本発明は上記実情に鑑みて為されたもので、消費電力のセーブ効率を良くした消費電力セービング回路及びその制御方法を提供することを目的とする。

【0013】

【課題を解決するための手段】上記従来例の問題点を解決するための請求項1記載の発明は、パワーセーブモードを有するCPUと、パワーセーブモード時間のカウントを行うタイマカウンタと、前記CPUに高周波クロックを供給する高周波発振回路と、前記高周波発振回路から発生する高周波クロックを順次分周して低周波クロックを発生させる多段分周回路とを有する消費電力セービング回路において、パワーセーブモードに移行した時に前記タイマカウンタに低周波クロックを供給する低周波発振回路と、前記タイマカウンタへ入力されるクロックを選択するクロック選択スイッチと、前記高周波発振回路の出力を倒産する出力制御回路と、前記高周波発振回路と前記低周波発振回路の起動・停止指示を行い、前記クロック選択スイッチの切り換え指示を行い、前記出力制御回路の制御指示を行い、パワーセーブモード移行時に前記CPUからパワーセーブモード開始命令を受け取り、前記タイマカウンタの起動指示を行い、パワーセーブモード解除時に前記タイマカウンタからタイマカウンタ完了信号を受け取り、前記CPUにパワーセーブモード解除用の割込みを行なうイベント制御回路とを設けたことを特徴としている。

【0014】上記従来例の問題点を解決するための請求項2記載の発明は、請求項1記載の消費電力セービング回路の制御方法において、パワーセーブモードに移行す

4

る時は、前記CPUからパワーセーブモード開始命令を受け取った前記イベント制御回路が、前記低周波発振回路を起動し、前記クロック選択スイッチを切り換えて前記低周波発振回路からのクロックを前記タイマカウンタに出力し、前記タイマカウンタを起動し、前記出力制御回路を制御して前記CPU及び前記多段分周回路へのクロックを停止し、前記高周波発振回路を停止することを特徴としている。

【0015】上記従来例の問題点を解決するための請求項3記載の発明は、請求項1記載の消費電力セービング回路の制御方法において、パワーセーブモードを解除する時は、前記タイマカウンタからタイマカウント完了信号を受け取った前記イベント制御回路が、前記高周波発振回路を起動し、発振安定待ち時間経過後に前記出力制御回路を制御して前記高周波発振回路からのクロックを前記CPU及び前記多段分周回路に出力し、前記クロック選択スイッチを切り換えて前記多段分周回路からのクロックを前記タイマカウンタに出力し、前記CPUに対してパワーセーブモード解除用の割込みを行なって前記CPUのパワーセーブモードを解除させ、前記低周波発振回路を停止させることを特徴としている。

【0016】

【作用】請求項1記載の発明によれば、イベント制御回路がパワーセーブモード移行時にCPUからパワーセーブモード開始命令を受け取ってタイマカウンタの起動を行い、低周波発振回路を起動させてクロック選択スイッチを切り換えて低周波発振回路からのクロックをタイマカウンタに出力させ、高周波発振回路を停止させ、また、パワーセーブモード解除時にタイマカウンタからタイマカウント完了信号を受け取り、高周波発振回路を起動させて出力制御回路を制御して高周波発振回路からのクロックをCPUと多段分周回路に出力し、クロック選択スイッチを切り換えて多段分周回路からのクロックをタイマカウンタに出力させ、CPUにパワーセーブモード解除用の割込みを行い、低周波発振回路を停止させる消費電力セービング回路としているので、パワーセーブモードに移行した時には高周波発振回路と多段分周回路とを停止させることができ、パワーセーブモード中の消費電力を大幅に低減できる。

【0017】請求項2記載の発明によれば、イベント制御回路がCPUからパワーセーブモード開始命令を受け取ると、低周波発振回路を起動し、クロック選択スイッチを切り換えて低周波発振回路からのクロックをタイマカウンタに出力し、そしてタイマカウンタを起動し、出力制御回路を制御してCPU及び多段分周回路へのクロックを停止し、高周波発振回路を停止する請求項1記載の消費電力セービング回路の制御方法としているので、パワーセーブモードに移行した時には高周波発振回路と多段分周回路とを停止させることができ、パワーセーブモード中の消費電力を大幅に低減できる。

(4)

特開平7-20964

5

【0018】請求項3記載の発明によれば、イベント制御回路がタイマカウンタからタイマカウント完了信号を受け取ると、高周波発振回路を起動し、発振安定待ち時間経過後に出力制御回路を制御して高周波発振回路からのクロックをCPU及び多段分周回路に出力し、そしてクロック選択スイッチを切り換えて多段分周回路からのクロックをタイマカウンタに出力し、CPUに対してパワーセーブモード解除用の割込みを行ってCPUのパワーセーブモードを解除させ、低周波発振回路を停止させる請求項1記載の消費電力セーピング回路の制御方法としているので、パワーセーブモード解除時に低周波発振回路から高周波発振回路への切り替えを容易に行うことができる。

【0019】

【実施例】本発明の一実施例について図面を参照しながら説明する。図1は、本発明の一実施例に係る無線装置に用いられる消費電力セーピング回路の構成ブロック図である。尚、図5と同様の構成をとる部分については同一の符号を付して説明する。

【0020】本実施例の消費電力セーピング回路（パワーセーピング回路）は、図1に示すように、従来の消費電力セーピング回路と同様の構成として、パワーセーブモードを有するCPU1と、パワーセーブモード時間のカウントを行うタイマカウンタ2'、CPU1に供給する高周波のクロック（CPU用クロック）を発生する高周波水晶発振回路3と、高周波水晶発振回路3から発生する高周波クロックを順次分周して低周波クロックに落とす多段分周回路4とから構成され、更に本実施例の特徴部分として、パワーセーピング回路全体をコントロールするイベント制御回路5と、パワーセーブモード中のタイマカウンタ2'専用の低周波クロックを発生する低周波水晶発振回路6と、タイマカウンタ2'へのクロックを選択するクロック選択スイッチ（SEL）7と、高周波水晶発振回路3の出力を制御する出力制御回路8と、高周波水晶発振回路3の電源スイッチSW(1)9と、低周波水晶発振回路6の電源スイッチSW(2)10とが並びかれている。

【0021】次に、本実施例の消費電力セーピング回路の各構成部分について具体的に説明する。CPU1は、従来と同様で高周波（例えばMHzオーダー）のクロックで動作し、パワーヒートモード（低電力消費状態）を有するシリアルであり、パワーセーブモードに移行した時にはクロックを供給する必要がなく、イベント制御回路5からのパワーセーブモード解除用NMI割込み（Non Maskable Interrupt：最優先割込み）aでパワーセーブモードを解除して通常モードに復帰するようになっている。

【0022】タイマカウンタ2'は、イベント制御回路5の制御の下で動作し、パワーセーブモードに入るとイベント制御回路5からのタイマカウント起動信号bによ

6

りパワーセーブモード解除までの時間のカウントを開始し、CPU1から設定されたパワーセーブモード時間に到達したなら、イベント制御回路5に対してタイマカウント完了信号cによりカウント完了を通知する。

【0023】また、タイマカウンタ2'は、通常モードでは高周波水晶発振回路3から発生する高周波クロック（例えばMHzオーダー）を多段分周回路4で低周波（例えばKHzオーダー）に落としたクロックで動作し、パワーセーブモードでは低周波水晶発振回路6から発生する低周波クロック（例えばKHzオーダー）で動作するようになっており、この2つのクロックをクロック選択スイッチ7で切り替えるようになっている。

【0024】高周波水晶発振回路3は、従来と同様でCPU1に供給する高周波（例えばMHzオーダー）のクロックを発生する発振回路であり、イベント制御回路5によって制御される電源スイッチSW(1)9のON/OFFで起動／停止が制御され、更にイベント制御回路5によって制御される出力制御回路8によってその出力が制御されている。

【0025】通常、高周波水晶発振回路3は、発生させる周波数がMHzオーダーという高い周波数であるために、電源投入直後は発振周波数が安定せず、不安定な出力をCPU1及び多段分周回路4に与えないために、出力制御回路8で制御するようになっている。

【0026】多段分周回路4は、従来と同様で高周波水晶発振回路3が発振する高周波クロック（MHzオーダー）を順次分周して低周波クロック（KHzオーダー）を作成し、通常モードの時にタイマカウンタ2'にクロックを供給するものであり、図6に示したような複数の分周回路を組み合わせて、希望する周波数になるように直列に接続したものである。

【0027】イベント制御回路5は、本実施例のパワーセーピング回路全体をコントロールするもので、論理回路で構成され、各構成要素を順次制御するものである。具体的には、CPU1からのパワーセーブモード開始命令を受けて、タイマカウント起動信号bによるタイマカウンタ2'の起動や、クロック選択信号dによるクロック選択スイッチ7の制御や、出力制御回路制御信号eによる出力制御回路8の制御や、高周波水晶発振回路電源制御信号gによる高周波水晶発振回路3の電源スイッチSW(1)9及び低周波水晶発振回路電源制御信号hによる低周波水晶発振回路6の電源スイッチSW(2)10の制御を行い、また、タイマカウンタ2'からのタイマカウント完了信号cを受けてCPU1に対してパワーセーブモード解除用NMI割込み（最優先割込み）aを行うものである。

【0028】低周波水晶発振回路6は、パワーセーブモードの時にタイマカウンタ2'に供給する低周波（例えばKHzオーダー）のクロックを発生する発振回路であり、イベント制御回路5によって制御される電源スイッ

(5)

特開平7-20964

7

テ SW(2) 10 の ON/OFF で起動/停止が制御されるものである。

【0029】クロック選択スイッチ (SEL) 7 は、イベント制御回路 5 の制御の下で、タイマカウンタ 2' のクロックを切り換えるスイッチで、通常モードの時は高周波水晶発振回路 3 から発生する高周波クロックを多段分周回路 4 で低周波に落としたクロックを選択し、パワーセーブモードの時は低周波水晶発振回路 6 から発生するクロックを選択するようになっている。

【0030】出力制御回路 8 は、イベント制御回路 5 の制御の下で、高周波水晶発振回路 3 の出力を制御する AND 回路である。高周波水晶発振回路 3 の出力と、イベント制御回路 5 からの出力制御回路制御信号 e とが AND 回路に入力されて論理積がとられ、その出力が CPU 1 及び多段分周回路 4 に入力されるものである。

【0031】高周波水晶発振回路 3 の電源スイッチ SW(1) 9 は、イベント制御回路 5 の制御の下で、高周波水晶発振回路 3 の電源の ON/OFF を行うスイッチである。具体的には、通常モードで、イベント制御回路 5 からの高周波水晶発振回路電源制御信号 g で電源スイッチ SW(1) 9 が ON になり、高周波水晶発振回路 3 に電源電圧 Vcc を供給するようになっている。

【0032】電源スイッチ SW(1) 9 の詳細な構成は、n-p-n 形のトランジスタで構成され、コレクタ (C) には電源電圧 Vcc が印加され、ベース (B) にはイベント制御回路 5 からの高周波水晶発振回路電源制御信号 g が入力され、エミッタ (E) 出力が高周波水晶発振回路 3 の電源となるものである。イベント制御回路 5 からの高周波水晶発振回路電源制御信号 g が ON になってベース (B) に正電圧が加えられたときだけ、コレクタ (C) からエミッタ (E) に電流が流れ、高周波水晶発振回路 3 の電源が ON になるものである。

【0033】低周波水晶発振回路 6 の電源スイッチ SW(2) 10 は、イベント制御回路 5 の制御の下で、低周波水晶発振回路 6 の電源の ON/OFF を行うスイッチである。具体的には、パワーセーブモードで、イベント制御回路 5 からの低周波水晶発振回路電源制御信号 f で電源スイッチ SW(2) 10 が ON になり、低周波水晶発振回路 6 に電源電圧 Vcc を供給するようになっている。

【0034】電源スイッチ SW(2) 10 も電源スイッチ SW(1) 9 と同様に、n-p-n 形のトランジスタで構成され、コレクタ (C) には電源電圧 Vcc が印加され、ベース (B) にはイベント制御回路 5 からの低周波水晶発振回路電源制御信号 f が入力され、エミッタ (E) 出力が低周波水晶発振回路 6 の電源となるものである。イベント制御回路 5 からの低周波水晶発振回路電源制御信号 f が ON になってベース (B) に正電圧が加えられたときだけ、コレクタ (C) からエミッタ (E) に電流が流れ、低周波水晶発振回路 6 の電源が ON になるものである。

【0035】次に、本実施例の消費電力セービング回路

8

の制御方法について説明する。本実施例の消費電力セービング回路の制御方法は、CPU 1 がパワーセーブモードに移行する場合、まず、CPU 1 からデータバス 11 を介してタイマカウンタ 2' に対してパワーセーブモード時間が設定され、イベント制御回路 5 に対してパワーセーブモード開始命令が output され、CPU 1 はパワーセーブモードに移行するコマンドを実行してパワーセーブモードに遷移する。そして、タイマカウンタ 2' に設定されたパワーセーブ時間が経過して、イベント制御回路 5 から CPU 1 に対してパワーセーブモード解除用割込み a がされるまでの間は、全てイベント制御回路 5 が消費電力セービング回路全体をコントロールすることになる。

【0036】CPU 1 からのパワーセーブモード開始命令を受け取ったイベント制御回路 5 は、まず、低周波水晶発振回路電源制御信号 f を ON にして低周波水晶発振回路 6 の電源スイッチ SW(2) 10 を ON とし、低周波水晶発振回路 6 を起動させ、その後、クロック選択スイッチ (SEL) 7 のクロック選択信号 d によって、タイマカウンタ 2' のクロックを低周波水晶発振回路 6 から出力されるクロックに切り換える。

【0037】次に、タイマカウント起動信号 h でタイマカウンタ 2' を起動し、カウントを開始させる。そして、高周波水晶発振回路 3 の出力制御回路 8 の出力制御回路制御信号 e を OFF にして、CPU 1 及び多段分周回路 4 へのクロックを停止する。次に、高周波水晶発振回路電源制御信号 g を OFF にして高周波水晶発振回路 3 の電源スイッチ SW(1) 9 を OFF とし、高周波水晶発振回路 3 を停止する。

【0038】以上の動作により、CPU 1 はパワーセーブモードとなり、高周波水晶発振回路 3 及び多段分周回路 4 が停止状態となって、システム全体が完全にパワーセービング状態となり、タイマカウンタ 2' とイベント制御回路 5 及びクロックを供給する低周波水晶発振回路 6 だけが動作していることになる。

【0039】パワーセーブモードの間、タイマカウンタ 2' は低周波水晶発振回路 6 からのクロックでタイマのカウントを続け、タイマが CPU 1 から設定されたパワーセーブ時間に到達したならば、タイマカウンタ 2' はイベント制御回路 5 に対してタイマカウント完了信号 c を送る。

【0040】タイマカウンタ 2' から、タイマカウント完了信号 c を受け取ったイベント制御回路 5 は、まず、高周波水晶発振回路電源制御信号 g を ON にして高周波水晶発振回路 3 の電源スイッチ SW(1) 9 を ON とし、高周波水晶発振回路 3 を起動する。しかし、高周波水晶発振回路 3 は電源投入直後は発振周波数が安定しないため、発振安定待ち時間が経過した後に、出力制御回路 8 への出力制御回路制御信号 e を ON にして、高周波水晶発振回路 3 から CPU 1 及び多段分周回路 4 へのクロック

(6)

特開平7-20964

9

クの供給を開始する。尚、発振安定待ち時間は、予めイベント制御回路5に設定されているものである。

【0041】その後、クロック選択スイッチ(SEL)7のクロック選択信号dによって、タイマカウンタ2'のクロックを低周波水晶発振回路6からのクロックから多段分周回路4からのクロックに切り換える。

【0042】そして、CPU1に対してパワーセーブモード解除用のNMI割込みaを行い、CPU1のパワーセーブモードを解除させる。CPU1は、既に高周波水晶発振回路3から出力制御回路8を通して安定したクロックを受けているので、イベント制御回路5からのNMI割込みaによって、パワーセーブモードを解除し、通常の動作モードに移行する。

【0043】この後、イベント制御回路5は、低周波水晶発振回路電源制御信号fをOFFにして低周波水晶発振回路6の電源スイッチSW(2)10をOFFとし、低周波水晶発振回路6を停止させる。

【0044】以上の動作により、CPU1は通常の動作モードとなり、高周波水晶発振回路3及び多段分周回路4が動作状態となって、システム全体が完全に通常の動作状態となり、低周波水晶発振回路6は停止することになる。

【0045】次に、本実施例のパワーセービング回路の制御方法におけるCPU1及びイベント制御回路5及びタイマカウンタ2'のパワーセービング処理動作について、図1及び図2～図4を用いて更に詳しく説明する。図2は、本実施例のパワーセービング回路のCPU1の処理動作を示すフローチャート図であり、図3は、イベント制御回路5の処理動作を示すフローチャート図であり、図4は、タイマカウンタ2'の処理動作を示すフローチャート図である。尚、図2～図4に示す処理の流れは関連しており、ポイント(A)～(F)で連続するものである。

【0046】本実施例のパワーセービング回路のCPU1のパワーセービング処理は、図2に示すように、まずタイマカウンタ2'に対してパワーセーブモード時間の設定し(100)、イベント制御回路5に対してパワーセーブモード開始命令を出力し(110)、CPU1自身がパワーセーブモードに移行するコマンドを実行して(120)、パワーセーブモードに遷移する。ここで、パワーセーブモード時間の設定とは、具体的にはタイマカウンタ2'におけるカウンタ値設定指示、カウンタ起動指示及びカウンタ停止指示のことと示している。

【0047】そして、イベント制御回路5からのパワーセーブモード解除NMI割込みa(図3の処理270)を受けて、パワーセーブモードを解除し(130)、通常の動作モードに移行して処理を終了する。

【0048】本実施例のパワーセービング回路のイベント制御回路5のパワーセービング処理は、図3に示すように、CPU1からのパワーセーブモード開始命令(図

10

2の処理110)を受けてスタートし、低周波水晶発振回路電源制御信号fをONにして(200)、その結果、低周波水晶発振回路6の電源スイッチSW(2)10がONになって低周波水晶発振回路6を起動させ、その後、クロック選択スイッチ(SEL)7のクロック選択信号dによってタイマカウンタ2'のクロックを低周波水晶発振回路6からのクロックに切り替え(201)、次に、タイマカウント起動信号bでタイマカウンタ2'を起動し(210)、カウントを開始させる。

【0049】そして、高周波水晶発振回路3の出力制御回路8の出力制御回路制御信号eをOFFにし(220)、CPU1及び多段分周回路4へのクロックを停止して、見かけ上多段分周回路4の動作を停止する。次に、高周波水晶発振回路電源制御信号gをOFFにして(230)、その結果、高周波水晶発振回路3の電源スイッチSW(1)9がOFFになり高周波水晶発振回路3は停止する。

【0050】そして、パワーセーブ時間経過の後に、タイマカウンタ2'からタイマカウント完了信号c(図3の処理330)を受け取ると、まず、高周波水晶発振回路電源制御信号gをONにして(240)、その結果、高周波水晶発振回路3の電源スイッチSW(1)9がONとなり、高周波水晶発振回路3が起動して、発振安定待ち時間が経過した後に、出力制御回路8への出力制御回路制御信号eをONにして(250)、高周波水晶発振回路3からCPU1及び多段分周回路4へのクロックの供給を再開する。

【0051】その後、クロック選択スイッチ(SEL)7のクロック選択信号dによって、タイマカウンタ2'のクロックを低周波水晶発振回路6より出力されるクロックから多段分周回路4より出力されるクロックに切り替え(260)、CPU1に対してパワーセーブモード解除用のNMI割込みaを行い(270)、CPU1のパワーセーブモードを解除させ、低周波水晶発振回路電源制御信号fをOFFにして(280)、処理を終了する。その結果、低周波水晶発振回路6の電源スイッチSW(2)10がOFFとなり低周波水晶発振回路6が停止する。

【0052】本実施例のパワーセービング回路のタイマカウンタ2'のパワーセービング処理は、図4に示すように、まず、初期設定として予めパワーセーブ時間の設定が為され、次に、イベント制御回路5からのタイマカウント起動信号b(図3の処理210)により処理がスタートし、最初にカウンタをクリアし(300)、次にカウンタに1加えて(310)、カウンタ値がCPU1によって設定されたパワーセーブ時間より小さいかどうか判断し(320)、もし小さければ(パワーセーブ時間を終了したならば)タイマカウント完了信号cをイベント制御回路5に出力し(330)、処理を終了する。

(7)

11

【0053】本実施例の消費電力セーピング回路及びその制御方法によれば、パワーセーブモードに移行した時は、タイマカウンタ2'専用の低周波水晶発振回路6からクロックを供給するようにしているので、CPU1用のクロックを出力する高周波水晶発振回路3と、通常モード時にタイマカウンタ2'用の低周波を高周波水晶発振回路3から得るための多段分周回路4とを停止することができ、消費電力を大幅に削減することができる効果がある。また、パワーセーブモード解除時にクロックの供給先を低周波発振回路から高周波発振回路へ容易に切り換えることができ、パワーセーブモード解除をスムーズに行うことができる効果がある。

【0054】

【発明の効果】請求項1記載の発明によれば、イベント制御回路がパワーセーブモード移行時にCPUからパワーセーブモード開始命令を受け取ってタイマカウンタの起動を行い、低周波発振回路を起動させてクロック選択スイッチを切り換えて低周波発振回路からのクロックをタイマカウンタに出力させ、高周波発振回路を停止させ、また、パワーセーブモード解除時にタイマカウンタからタイマカウント完了信号を受け取り、高周波発振回路を起動させて出力制御回路を制御して高周波発振回路からのクロックをCPUと多段分周回路に出力し、クロック選択スイッチを切り換えて多段分周回路からのクロックをタイマカウンタに出力させ、CPUにパワーセーブモード解除用の割込みを行い、低周波発振回路を停止させる消費電力セーピング回路としているので、パワーセーブモードに移行した時には高周波発振回路と多段分周回路とを停止させることができ、パワーセーブモード中の消費電力を大幅に低減できる効果がある。

【0055】請求項2記載の発明によれば、イベント制御回路がCPUからパワーセーブモード開始命令を受け取ると、低周波発振回路を起動し、クロック選択スイッチを切り換えて低周波発振回路からのクロックをタイマカウンタに出力し、そしてタイマカウンタを起動し、出力制御回路を制御してCPU及び多段分周回路へのクロックを停止し、高周波発振回路を停止する請求項1記載の消費電力セーピング回路の制御方法としているので、パワーセーブモードに移行した時には高周波発振回路と

特開平7-20964

12

多段分周回路とを停止させることができ、パワーセーブモード中の消費電力を大幅に低減できる効果がある。

【0056】請求項3記載の発明によれば、イベント制御回路がタイマカウンタからタイマカウント完了信号を受け取ると、高周波発振回路を起動し、発振安定待ち時間経過後に出力制御回路を制御して高周波発振回路からのクロックをCPU及び多段分周回路に出力し、そしてクロック選択スイッチを切り換えて多段分周回路からのクロックをタイマカウンタに出力し、CPUに対してパワーセーブモード解除用の割込みを行ってCPUのパワーセーブモードを解除させ、低周波発振回路を停止させる請求項1記載の消費電力セーピング回路の制御方法としているので、パワーセーブモード解除時に低周波発振回路から高周波発振回路への切り替えを容易に行うことができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例に係る消費電力セーピング回路の構成ブロック図である。

【図2】本実施例のパワーセーピング回路のCPU1の処理動作を示すフローチャート図である。

【図3】本実施例のパワーセーピング回路のイベント制御回路5の処理動作を示すフローチャート図である。

【図4】本実施例のパワーセーピング回路のタイマカウンタ2'の処理動作を示すフローチャート図である。

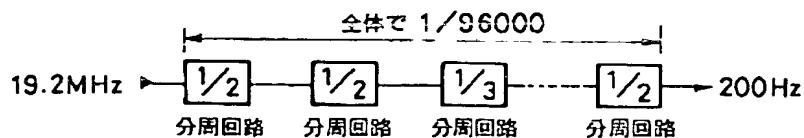
【図5】従来の消費電力セーピング回路の構成ブロック図である。

【図6】多段分周回路の概略説明図である。

【符号の説明】

1…CPU、2, 2'…タイマカウンタ、3…高周波水晶発振回路、4…多段分周回路、5…イベント制御回路、6…低周波水晶発振回路、7…クロック選択スイッチ、8…出力制御回路、9, 10…電源スイッチ、11…データバス、a…パワーセーブモード解除用割込み、b…タイマカウント起動信号、c…タイマカウント完了信号、d…クロック選択信号、e…出力制御回路制御信号、f…低周波水晶発振回路電源制御信号、g…高周波水晶発振回路電源制御信号

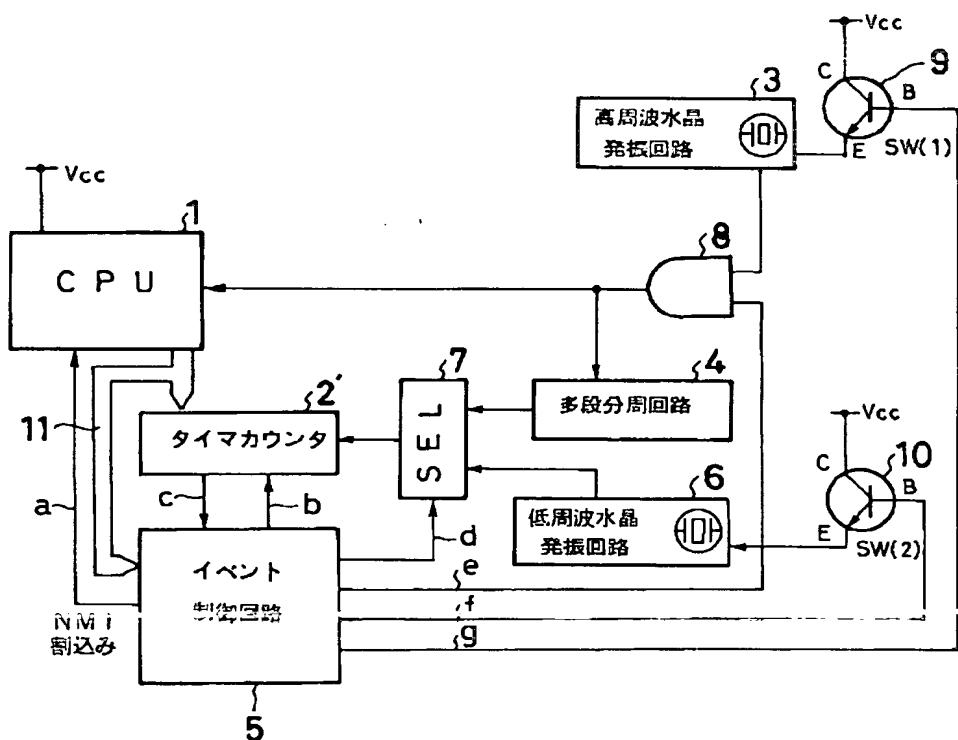
【図6】



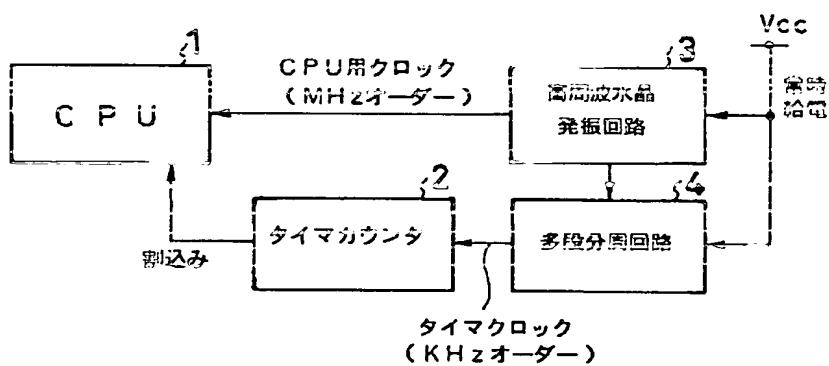
(8)

特開平7-20964

【図1】



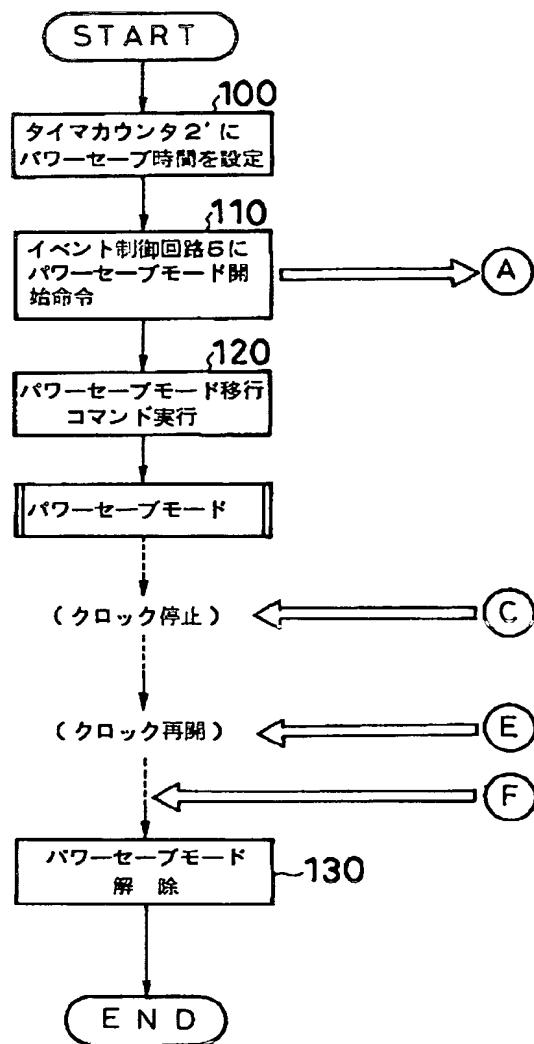
【図5】



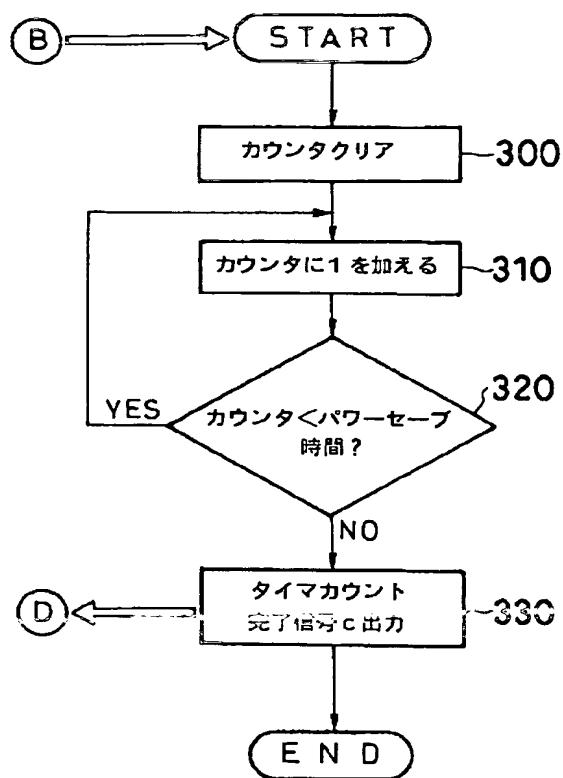
(9)

特開平7-20964

【図2】



【図4】



(10)

特開平7-20964

【図3】

